

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04130033      \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.:      **05-121733** [JP 5121733 A]

PUBLISHED:      May 18, 1993 (19930518)

INVENTOR(s):   YAGI TAKASHI

APPLICANT(s): NEC KANSAI LTD [485545] (A Japanese Company or Corporation),  
JP (Japan)

APPL. NO.:      03-280256 [JP 91280256]

FILED:          October 28, 1991 (19911028)

INTL CLASS:    [5] H01L-029/784; H01L-021/90

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC  
MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1426, Vol. 17, No. 484, Pg. 106.  
September 02, 1993 (19930902)

#### ABSTRACT

PURPOSE: To ensure a distance margin between a gate and a wiring even if an element is miniaturized in a MOS type transistor.

CONSTITUTION: In a MOS type transistor having a source 1, a drain 2 and a gate 13 as well as a wiring 5 connecting to the substrate through contact holes 6 made closely to the gate 13 on an interlayer film 4, the gate 13 is chamfered at the opposite upper sides.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009499789      \*\*Image available\*\*

WPI Acc No: 1993-193325/199324

XRPX Acc No: N93-148316

Semiconductor device - has contact hole, wires, source, gate, drain,  
layer film and gate oxide film, enabling generation of distance margin  
between gate and wirings    NoAbstract

Patent Assignee: NEC KANSAI LTD (KANN    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 5121733</b>	A	19930518	JP 91280256	A	19911028	199324    B

Priority Applications (No Type Date): JP 91280256 A 19911028

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5121733	A		3	H01L-029/784	

Abstract (Basic): JP 5121733 A

Dwg.1/5

Title Terms: SEMICONDUCTOR; DEVICE; CONTACT; HOLE; WIRE; SOURCE; GATE;  
DRAIN; LAYER; FILM; GATE; OXIDE; FILM; ENABLE; GENERATE; DISTANCE;  
MARGIN ; GATE; WIRE; NOABSTRACT

Derwent Class: U11

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-021/90

File Segment: EPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-121733

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

H01L 29/784  
21/90

識別記号

庁内整理番号

D 7353-4M  
8225-4M

FI

H01L 29/78

301 G

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号

特願平3-280256

(22)出願日

平成3年(1991)10月28日

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 八木 孝志

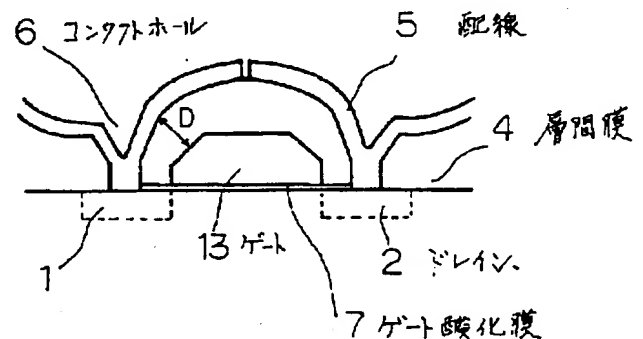
滋賀県大津市晴嵐2丁目9番1号関西日本  
電気株式会社内

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 MOS型トランジスタにおいて、素子のサイズが小さくてもゲートと配線間の距離マージンを確保する。

【構成】 ソース1、ドレイン2、ゲート3を有し、それを覆う層間膜4上にゲート3に近接するコンタクトホール6で基板に接続する配線5を有するMOS型トランジスタにおいて、ゲート13の形状を上側両端の角を取ったテーパ状とする。



## 【特許請求の範囲】

【請求項1】ゲート、ドレイン、ソース構造を有し、それを覆う層間膜上に前記ゲートに近接するコンタクトホールで基板に接続する配線構造を有するMOS型トランジスタのゲート上側の角を取りテーパ状としたことを特徴とする半導体装置。

【請求項2】ゲート、ドレイン、ソース構造を有し、それを覆う層間膜上に前記ゲートに近接するコンタクトホールで基板に接続する配線構造を有するMOS型トランジスタのゲート上側の角を丸めた形状としたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、ゲート・ドレイン・ソース構造を有するMOS型トランジスタの構造に関するものである。

## 【0002】

【従来の技術】従来のMOS型トランジスタ構造の概略断面図を図3に示す。1はソース、2はドレインを形成する領域、3はゲートである。4は層間膜、5は配線、6はコンタクトホール、7はゲート酸化膜を示している。ソース1とドレイン2に挟まれるようにゲート酸化膜7の上に形成されるゲート3は、層間膜4を挟んだ配線5と絶縁され、電気的に接続が必要な箇所にコンタクトホール6を形成する。通常ソース1、ドレイン2はP型あるいはN型不純物原子をドーピングして形成し、ゲート3は厚み3000～6000オングストローム、縦横8000～10000オングストロームのアルミまたはポリシリコン等で形成される。層間膜4は8000～10000オングストロームのPSG(Phosphosilicate Glass)膜やBPSG(Borophosphosilicate Glass)膜、配線5は10000～15000オングストロームのアルミ等で形成され、ゲート酸化膜7は100～300オングストロームの酸化シリコン膜である。コンタクトホール6を図4にて説明する。図中のA部は等方的にエッチングをするウェットエッチングで、通常は希釈フッ酸を使って形成する。B部は異方的にエッチングするためRIE(Reactive Ion Etching)等のドライエッチングを行って形成する。このように2種類のエッチングで、図4のような所望の形状をつくる。

## 【0003】

【発明が解決しようとする課題】このように2種類のエッチングを行う理由は以下で説明される。すなわち、A部がなくB部のみで形成されたコンタクトホール6では、その肩部の急峻な形状のために配線の断切れを引き起こし、逆に図5にて示すようにB部がなくA部のみで形成されたコンタクトホール6ではその横方向への広がりのために、図中のC部の間隔、すなわちゲート3と配線5の間隔が狭まり、ゲート3と配線5のショートを引き起こす。またDRAM(記憶保持が必要な随時書き込み読

み出しメモリ)で代表されるIC(Integrated Circuits)は年2倍集積度が向上し、素子のサイズが小さくなるため、正常なコンタクトホール形状でも図5中のC部の距離が短くなり、前述の危険性が増していくという事実があった。

## 【0004】

【課題を解決するための手段】本発明は上記問題点に鑑み提案されたもので、ゲート、ドレイン、ソース構造を有し、その上を覆う層間膜上に前記ゲートに近接して設けたコンタクトホールを介して基板に接続する配線構造を有するMOS型トランジスタにおいて、ゲート上側両端の角を取ったテーパ状、あるいはゲート上側角を丸めた形状を有することを特徴とするものである。

## 【0005】

【作用】ゲート形状を上側両端の角を取ったテーパ状、あるいは上側の角を丸めた形状とすることにより、ゲート3と配線5の距離マージンを確保することができる。

## 【0006】

【実施例】以下に本発明の実施例を図1により説明する。図は概略断面図である。図において、図3と同符号は同じ物を表し説明を省略する。ゲート13の上側両端の角を取りテーパ状にすることで、素子のサイズが小さくなくてもゲート13と配線5の距離マージンDを確保することができる。ゲート13の上側角を取る方法としては、たとえば以下のような公知の手段を利用することができる。

(a)ゲート材料(たとえばポリシリコン)を全面に形成する。

(b)後述する等方性エッチング方法において、エッチング速度が速くなるような不純物(たとえばポリシリコンに対してはリン)を高濃度に表面にドーブする。

(c)所定のゲート形状にフォトレジストによりマスクを設ける。

(d)ゲート材料を等方性エッチング方法によりエッチングする。エッチングは厚みの方向のみならずマスクの下側に横方向にも進み、テーパが形成される。エッチングはたとえば厚み方向略1/2進んだ時点でストップする。

(e)続いて異方性エッチングにより残りのゲート材料をエッチングして、マスク寸法に対応した寸法精度の高いゲートとする。

## 【0007】

【実施例2】図2は本発明の第2実施例である。図において図3と同符号は同じ物を表し説明を省略する。ゲート23の上側の角を丸めた形状とすることで第1の実施例と同一利点を有する。ゲート23の上側の角を丸める方法としては以下の方法を用いることができる。

(a)全面にゲート材料を形成し、

(b)フォトレジストをマスクに異方性エッチングにより寸法精度の高いゲートパターンを従来同様、上側に角

を有して形成する。

(c) 樹脂たとえばフォトリソグ材を全面に塗布乾燥する。樹脂の厚みはゲートの厚みと同等か若干薄い方がよい。

(d) 樹脂が流動性をもつ温度 ( $N_2$  中) に保管する。保管中に表面張力によりゲート頂部の樹脂は中心に向かって引き寄せられ、ゲート角部は薄くなり、中心部が厚くなって丸みをもつ。

(e) 樹脂とゲート材料とに対し、ほぼ等しいエッチング速度を有する。異方性エッチング方法 (たとえばスパッタ・エッチ) でエッチバックすると、ゲートの上部は角部ではやく樹脂がエッチオフされ、ゲート材料のエッチが進むので丸くなる。エッチングはゲートのない部分の樹脂がなくなる前にストップする必要がある。

【0008】

【発明の効果】 以上説明したように、本発明によればICの集積度が向上し、素子のサイズが小さくなってもゲ

ートと配線間の距離マージンを確保することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の概略断面図

【図2】 本発明の第2実施例の概略断面図

【図3】 従来のMOS型トランジスタ構造の概略断面図

図

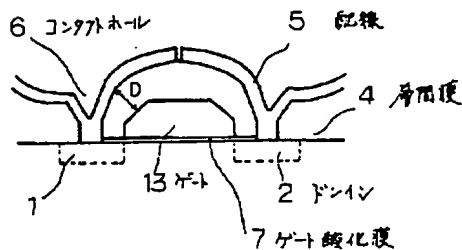
【図4】 コンタクトホールの説明用断面図

【図5】 コンタクトホール不具合例説明用断面図

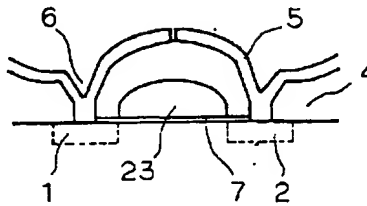
【符号の説明】

- 1 ソース
- 2 ドレイン
- 3 ゲート
- 4 層間膜
- 5 配線
- 6 コンタクトホール
- 7 ゲート酸化膜

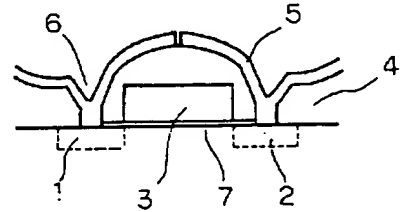
【図1】



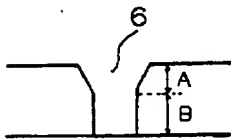
【図2】



【図3】



【図4】



【図5】

